

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-012868

(43)Date of publication of application : 14.01.2000

(51)Int.Cl.

H01L 29/786

H01L 21/336

H01L 21/3205

(21)Application number : 10-175964

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 23.06.1998

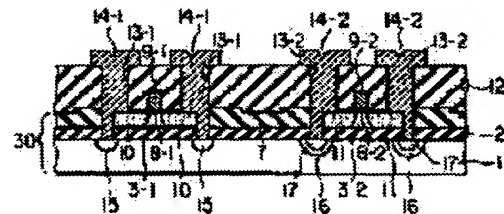
(72)Inventor : ARAI HIDEAKI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device, which can be lessened in chip size and enhanced in operation speed by lessening a diffusion layer in junction capacitance, and a manufacturing method thereof.

**SOLUTION:** A MOS field-effect transistor is provided with a SOI substrate 30, where contact holes 13-1 and 13-2 are each bored in source/drain diffused layers 10 and 11 from above extending over an adjacent element isolation oxide film 7 so as to reach to a silicon substrate 1, and impurity ions are implanted into the exposed surface region of the silicon substrate 1 for the formation of P-N junctions. The silicon substrate and source/drain diffused layers of the same conductivity-type as with the silicon substrate 1 are isolated electrically from each other by a P-N junction, so that the silicon substrate 1 and the source/drain diffused layers can be prevented from being short-circuited through the intermediary of metal wiring layers 14-1 and 14-2. With this setup, a semiconductor device of this constitution can be lessened in chip size and enhanced in operation speed, by reducing the source/drain diffused layers in junction capacitance.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-12868

(P2000-12868A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 1 L 29/786

H 0 1 L 29/78

6 1 6 K 5 F 0 3 3

21/336

21/88

Z

21/3205

29/78

6 1 6 S

6 1 9 A

6 2 6 C

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号

特願平10-175964

(22) 出願日

平成10年6月23日 (1998.6.23)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 新居 英明

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム(参考) 5F033 AA15 AA29 BA12 BA15 DA07

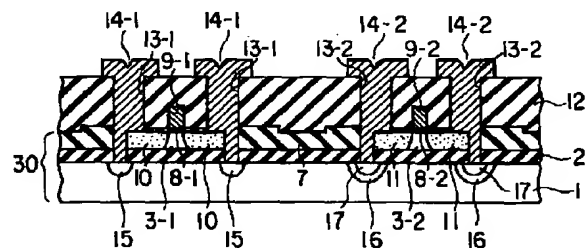
DA35 DA36 EA02 EA25

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 チップサイズを縮小でき且つ拡散層の接合容量を低減して動作速度の高速化が図れる半導体装置及びその製造方法を提供することを目的としている。

【解決手段】 SOI基板30を用いたMOS型電界効果トランジスタにおいて、コンタクト孔13-1、13-2をソース・ドレイン拡散層10、11上から隣接する素子分離用の酸化膜7上に亘って、シリコン基板1に到達する深さに形成し、露出されたシリコン基板の表面領域に不純物をイオン注入してPN接合を形成することを特徴としている。シリコン基板と、この基板と同じ導電型のソース・ドレイン拡散層とをPN接合によって電気的に分離できるので、金属配線層14-1、14-2を介してシリコン基板とソース・ドレイン拡散層とが短絡するのを防止できる。これによって、チップサイズを縮小でき、ソース・ドレイン拡散層の接合容量を削減して動作速度の高速化が図れる。



## 【特許請求の範囲】

【請求項1】 半導体基板上に形成された絶縁層と、前記絶縁層上に形成された半導体層と、前記絶縁層の前記半導体層と異なる領域上に形成された素子分離用の第1の絶縁膜と、前記半導体層中に形成され、この半導体層と異なる導電型の第1の半導体領域と、前記半導体層上及び前記第1の絶縁膜上に形成された第2の絶縁膜と、前記第2の絶縁膜の前記第1の半導体領域上から前記第1の絶縁膜の一部上に亘って形成され、内部に前記第1の半導体領域及び前記半導体基板が露出された開孔と、前記開孔内に形成された配線層と、前記第1の半導体領域と離隔するように前記開孔内の前記配線層と接する前記半導体基板の表面領域に形成され、PN接合によって前記半導体基板と前記第1の半導体領域とを電気的に分離する第2の半導体領域とを具備することを特徴とする半導体装置。

【請求項2】 前記半導体基板は第1導電型であり、前記第1、第2の半導体領域は第2導電型であり、前記半導体基板と前記第2の半導体領域とのPN接合によって前記半導体基板と前記第1の半導体領域とを電気的に分離することを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記半導体基板及び前記第1の半導体領域はそれぞれ第1導電型であり、前記第2の半導体領域は第2導電型の第1の不純物領域とこの第1の不純物領域内に形成された第1導電型の第2の不純物領域とを含み、前記第1の不純物領域と前記第2の不純物領域とのPN接合によって前記半導体基板と前記第1の半導体領域とを電気的に分離することを特徴とする請求項1に記載の半導体装置。

【請求項4】 半導体基板上に絶縁層を形成する工程と、前記絶縁層上に半導体層を形成する工程と、前記半導体層を素子分離する分離領域を形成する工程と、前記半導体層中にこの半導体層と異なる導電型の第1の半導体領域を形成する工程と、前記半導体層上及び前記分離領域上に層間絶縁膜を形成する工程と、前記層間絶縁膜の前記第1の半導体領域上から前記分離領域の一部上に亘り、前記半導体基板に到達する深さの開孔を形成する工程と、前記開孔内に露出された前記半導体基板の表面領域にPN接合を形成するための第2の半導体領域を前記第1の半導体領域と離隔して形成する工程と、前記開孔内に配線層を形成する工程とを具備し、前記PN接合で前記半導体基板と前記第1の半導体領域とを電気的に分離することを特徴とする半導体装置の製造方法。

【請求項5】 前記半導体基板は第1導電型であり、前記第1、第2の半導体領域は第2導電型であり、前記第2の半導体領域を形成する工程は、前記開孔内に露出された半導体基板の表面領域に第2導電型の不純物をイオン注入する工程を備えることを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】 前記半導体基板及び前記第1の半導体領

域はそれぞれ第1導電型であり、前記第2の半導体領域を形成する工程は、前記開孔内に露出された半導体基板の表面領域に第2導電型の不純物をイオン注入して第1の不純物領域を形成する工程と、この第1の不純物領域中に第1導電型の不純物をイオン注入して第1導電型の第2の不純物領域を形成する工程とを備えることを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項7】 第1導電型の半導体基板上に絶縁層を形成する工程と、前記絶縁層上に第1導電型の第1の半導体層及び第2導電型の第2の半導体層を形成する工程と、前記第1及び第2の半導体層を絶縁分離する分離領域を形成する工程と、前記第1の半導体層中に第2導電型の第1の半導体領域を形成する工程と、前記第2の半導体層中に第1導電型の第2の半導体領域を形成する工程と、前記絶縁層上及び前記第1及び第2の半導体層上に層間絶縁膜を形成する工程と、前記層間絶縁膜の前記第1の半導体領域上から隣接する前記分離領域の一部上に亘り前記半導体基板に到達する深さの第1の開孔、及び前記第2の半導体領域上から隣接する前記分離領域の一部上に亘り前記半導体基板に到達する深さの第2の開孔をそれぞれ形成する工程と、前記第1の開孔内に露出された前記半導体基板中に第2導電型の第3の半導体領域を形成する工程と、前記第2の開孔内に露出された前記半導体基板中に第2導電型の第4の半導体領域を形成する工程と、前記第4の半導体領域内に第1導電型の第5の半導体領域を形成する工程と、前記第1及び第2の開孔内に配線層を形成する工程とを具備することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、半導体装置及びその製造方法に関し、特にSOI基板に形成されるMOS型電界効果トランジスタの構造とその製造方法に関するものである。

## 【0002】

【従来の技術】近年、LSIの高速化や低消費電力動作を目的としたデバイス技術の開発が活発に行われている。なかでも、SOI基板を用いたMOS型電界効果トランジスタは、寄生容量の大幅な削減とSファクタの改善によって、動作速度の高速化が図れ且つ動作時の消費電力を大幅に低減できるため、将来の基盤デバイスとして大きく期待されている。

【0003】このようなSOI基板上にMOS型電界効果トランジスタを形成する従来の構造とその製造方法について、図19乃至図28を用いて順次説明する。まず、図19に示すように、P型のシリコン基板（半導体基板）101、厚さ1500オングストローム程度の埋め込み酸化膜（絶縁層）102、及び厚さ1500オングストローム程度のシリコン活性層103を備えたSOI基板100上に、熱酸化により厚さ200オングスト

ローム程度の酸化膜104を形成した後、更にLPCVD法により厚さ3500オングストロームのポリシリコン層105、及び厚さ3000オングストローム程度の酸化膜106をそれぞれ堆積形成する。

【0004】次に、図20に示すように、リソグラフィによりレジストパターン120を形成し、このレジストパターン120をマスクにしてRIEを行い、素子分離領域を形成すべき領域の酸化膜106とポリシリコン層105を除去する。

【0005】その後、図21に示すように、上記レジストパターン120を剥離した後、酸化膜106をマスクにして酸化膜104及びシリコン活性層103をRIE法で選択的に除去する。

【0006】引き続き、図22に示すように、LPCVD法を用いて、全面に厚さ2000オングストローム程度の酸化膜107を堆積形成する。更に、RIEによるエッチバックまたはCMP法を用いて、ポリシリコン層105をストップとした平坦化を行い、素子領域上のポリシリコン層105を露出させる。その後、CDE処理を行って、図23に示すようにポリシリコン層105を完全に除去し、素子領域上の酸化膜104を露出させる。

【0007】続いて、図24に示すように、リソグラフィによりPMOS（Pチャネル型MOS）トランジスタの形成予定領域上に覆うようにレジストパターン121を形成し、NMOS（Nチャネル型MOS）トランジスタの形成予定領域にP型不純物をイオン注入してチャネル領域を形成する。

【0008】同様に、図25に示すように、リソグラフィによりNMOSトランジスタの形成予定領域上に覆うようにレジストパターン122を形成し、PMOSトランジスタの形成予定領域にN型不純物をイオン注入してチャネル領域を形成する。

【0009】次に、HF系のウェットエッチングを用いて、表面の酸化膜104を剥離した後、図26に示すように、熱酸化によりシリコン活性層103の表面に厚さ100オングストローム程度のゲート酸化膜108を形成する。更に、上記酸化膜107上及び上記ゲート酸化膜108上に、N型不純物がドーブされた厚さ2500オングストローム程度のポリシリコンを堆積した後、リソグラフィを用いたRIEによりパターンニングを行い、ゲート電極109を形成する。

【0010】次に、リソグラフィを用いてPMOSトランジスタの形成予定領域をマスクしてN型不純物をイオン注入することにより、NMOSトランジスタのソース・ドレイン拡散層110、110を形成し、リソグラフィを用いてNMOSトランジスタの形成予定領域をマスクしてP型不純物をイオン注入することにより、PMOSトランジスタのソース・ドレイン拡散層111、111を形成する（図27参照）。

【0011】続いて、図28に示すように、層間絶縁膜112として全面にLPCVD法で酸化膜を5000オングストロームの厚さに堆積させた後、RIEによって上記PMOSTランジスタ及びNMOSTランジスタのソース・ドレイン拡散層110、110、111、111上にコンタクト孔113、113、…を開口する。ここで、上記コンタクト孔113、113、…とソース・ドレイン拡散層110、110、111、111の端部の余裕 $\Delta d$ 、 $\Delta d$ 、…は、通常0.2～0.5 $\mu\text{m}$ 程度に保持されている。しかる後、ソース・ドレイン電極としてA1、W等の金属配線層114、114、…を形成して素子を完成させる。

【0012】ところで、シリコン基板上に形成するMOS型電界効果トランジスタでは、上記余裕 $\Delta d$ 、 $\Delta d$ 、…を0以下、すなわち、コンタクト孔をソース・ドレイン拡散層端から素子分離酸化膜上に亘って形成することにより、チップサイズの縮小とソース・ドレイン拡散層の接合容量の削減を図るようにしている。

【0013】しかしながら、上述したようなSOI基板100を用いたMOS型電界効果トランジスタでは、コンタクト孔113、113、…をソース・ドレイン拡散層110、111上から素子分離酸化膜107上に亘って形成しようすると、RIEのエッチング深さの制御性が充分でないため、素子分離酸化膜107を貫通して下層の埋め込み酸化膜102までもエッチングしてしまう恐れがある。このような状態になると、シリコン基板101と、この基板101と同じ導電型のソース・ドレイン拡散層110、110または111、111とが金属配線114、114、…を介して短絡し、素子が正常に動作しないという問題が生ずる。

【0014】

【発明が解決しようとする課題】上記のようにSOI基板を用いた従来の半導体装置及びその製造方法では、コンタクト孔をソース・ドレイン拡散層から素子分離酸化膜上に亘って形成しようすると、コンタクト孔の形成時のRIEで素子分離酸化膜とともに埋め込み酸化膜までもエッチングしてしまう恐れがあり、チップサイズの縮小や拡散層の接合容量の削減が充分にできないという問題があった。

【0015】この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、SOI基板を用いた半導体装置において、半導体基板と、この基板と同じ導電型の拡散層との短絡を招くことなくチップサイズを縮小でき、且つ拡散層の接合容量の低減による動作速度の高速化を図れる半導体装置及びその製造方法を提供することにある。

【0016】

【課題を解決するための手段】この発明の請求項1に記載した半導体装置は、半導体基板上に形成された絶縁層と、前記絶縁層上に形成された半導体層と、前記絶縁層

の前記半導体層と異なる領域上に形成された素子分離用の第 1 の絶縁膜と、前記半導体層中に形成され、この半導体層と異なる導電型の第 1 の半導体領域と、前記半導体層上及び前記第 1 の絶縁膜上に形成された第 2 の絶縁膜と、前記第 2 の絶縁膜の前記第 1 の半導体領域上から前記第 1 の絶縁膜の一部上に亘って形成され、内部に前記第 1 の半導体領域及び前記半導体基板が露出された開孔と、前記開孔内に形成された配線層と、前記第 1 の半導体領域と離隔するように前記開孔内の前記配線層と接する前記半導体基板の表面領域に形成され、PN 接合によって前記半導体基板と前記第 1 の半導体領域とを電気的に分離する第 2 の半導体領域とを具備することを特徴としている。

【0017】請求項 2 に記載したように、請求項 1 の半導体装置において、前記半導体基板は第 1 導電型であり、前記第 1、第 2 の半導体領域は第 2 導電型であり、前記半導体基板と前記第 2 の半導体領域との PN 接合によって前記半導体基板と前記第 1 の半導体領域とを電気的に分離することを特徴とする。

【0018】請求項 3 に記載したように、請求項 1 の半導体装置において、前記半導体基板及び前記第 1 の半導体領域はそれぞれ第 1 導電型であり、前記第 2 の半導体領域は第 2 導電型の第 1 の不純物領域とこの第 1 の不純物領域内に形成された第 1 導電型の第 2 の不純物領域とを含み、前記第 1 の不純物領域と前記第 2 の不純物領域との PN 接合によって前記半導体基板と前記第 1 の半導体領域とを電気的に分離することを特徴とする。

【0019】また、この発明の請求項 4 に記載した半導体装置の製造方法は、半導体基板上に絶縁層を形成する工程と、前記絶縁層上に半導体層を形成する工程と、前記半導体層を素子分離する分離領域を形成する工程と、前記半導体層中にこの半導体層と異なる導電型の第 1 の半導体領域を形成する工程と、前記半導体層上及び前記分離領域上に層間絶縁膜を形成する工程と、前記層間絶縁膜の前記第 1 の半導体領域上から前記分離領域の一部上に亘り、前記半導体基板に到達する深さの開孔を形成する工程と、前記開孔内に露出された前記半導体基板の表面領域に PN 接合を形成するための第 2 の半導体領域を前記第 1 の半導体領域と離隔して形成する工程と、前記開孔内に配線層を形成する工程とを具備し、前記 PN 接合で前記半導体基板と前記第 1 の半導体領域とを電気的に分離することを特徴としている。

【0020】請求項 5 に記載したように、請求項 4 の半導体装置の製造方法において、前記半導体基板は第 1 導電型であり、前記第 1、第 2 の半導体領域は第 2 導電型であり、前記第 2 の半導体領域を形成する工程は、前記開孔内に露出された半導体基板の表面領域に第 2 導電型の不純物をイオン注入する工程を備えることを特徴とする。

【0021】請求項 6 に記載したように、請求項 4 の半

導体装置の製造方法において、前記半導体基板及び前記第 1 の半導体領域はそれぞれ第 1 導電型であり、前記第 2 の半導体領域を形成する工程は、前記開孔内に露出された半導体基板の表面領域に第 2 導電型の不純物をイオン注入して第 1 の不純物領域を形成する工程と、この第 1 の不純物領域中に第 1 導電型の不純物をイオン注入して第 1 導電型の第 2 の不純物領域を形成する工程とを備えることを特徴とする。

【0022】更に、この発明の請求項 7 に記載した半導体装置の製造方法は、第 1 導電型の半導体基板上に絶縁層を形成する工程と、前記絶縁層上に第 1 導電型の第 1 の半導体層及び第 2 導電型の第 2 の半導体層を形成する工程と、前記第 1 及び第 2 の半導体層を絶縁分離する分離領域を形成する工程と、前記第 1 の半導体層中に第 2 導電型の第 1 の半導体領域を形成する工程と、前記第 2 の半導体層中に第 1 導電型の第 2 の半導体領域を形成する工程と、前記絶縁層上及び前記第 1 及び第 2 の半導体層上に層間絶縁膜を形成する工程と、前記層間絶縁膜の前記第 1 の半導体領域上から隣接する前記分離領域の一部上に亘り前記半導体基板に到達する深さの第 1 の開孔、及び前記第 2 の半導体領域上から隣接する前記分離領域の一部上に亘り前記半導体基板に到達する深さの第 2 の開孔をそれぞれ形成する工程と、前記第 1 の開孔内に露出された前記半導体基板中に第 2 導電型の第 3 の半導体領域を形成する工程と、前記第 2 の開孔内に露出された前記半導体基板中に第 2 導電型の第 4 の半導体領域を形成する工程と、前記第 4 の半導体領域内に第 1 導電型の第 5 の半導体領域を形成する工程と、前記第 1 及び第 2 の開孔内に配線層を形成する工程とを具備することを特徴としている。

【0023】請求項 1 のような構成によれば、第 2 の半導体領域によって半導体基板と第 1 の半導体領域を電気的に分離できるので、開孔を第 1 の半導体領域上から第 1 の絶縁膜の一部の領域上に亘って形成しても、配線層によって第 1 の半導体領域と半導体基板とが短絡するのを防止できる。これによって、チップサイズを縮小でき、第 1 の半導体領域の接合容量を削減して動作速度の高速化が図れる。

【0024】請求項 2 に示すように、半導体基板が第 1 導電型で第 1 の半導体領域が第 2 導電型の時には、半導体基板の表面領域に第 2 導電型の第 2 の半導体領域を設けることにより、半導体基板と第 2 の半導体領域とで PN 接合を形成し、配線層によって第 1 の半導体領域と半導体基板とが短絡するのを防止できる。

【0025】請求項 3 に示すように、半導体基板と第 1 の半導体領域が第 1 導電型の時には、半導体基板の表面領域に第 2 導電型の第 1 の不純物領域と第 1 導電型の第 2 の不純物領域を設けることにより、第 1 及び第 2 の不純物領域で PN 接合を形成し、配線層によって第 1 の半導体領域と半導体基板とが短絡するのを防止できる。

【0026】また、請求項4のような製造方法によれば、開孔の形成後にこの開孔内に露出された半導体基板の表面領域に第2の半導体領域を形成し、PN接合によって半導体基板と第1の半導体領域を電氣的に分離するので、開孔を第1の半導体領域上から素子間の分離領域の一部の領域上に亘って形成しても、配線層によって第1の半導体領域と半導体基板とが短絡するのを防止できる。これによって、チップサイズを縮小でき、第1の半導体領域の接合容量を削減して動作速度の高速化が図れる。

【0027】請求項5に示すように、半導体基板が第1導電型で第1の半導体領域が第2導電型の時には、半導体基板の表面領域に第2導電型の不純物をイオン注入して第2の半導体領域を形成することにより、半導体基板と第2の半導体領域とでPN接合を形成し、配線層によって第1の半導体領域と半導体基板とが短絡するのを防止できる。

【0028】請求項6に示すように、半導体基板と第1の半導体領域が第1導電型の時には、半導体基板の表面領域に第2導電型の不純物をイオン注入して第1の不純物領域を形成した後、第1導電型の不純物をイオン注入して第2の不純物領域を形成することにより、第1及び第2の不純物領域でPN接合を形成し、配線層によって第1の半導体領域と半導体基板とが短絡するのを防止できる。

【0029】更に、請求項7のような製造方法によれば、第1及び第2の開孔の形成後に、これら第1及び第2の開孔内に露出された半導体基板の表面領域にそれぞれ第2導電型の第3、第4の半導体領域を形成し、第2の開孔下の第4の半導体領域内に第1導電型の第5の半導体領域を形成することにより、PN接合によって半導体基板と第1及び第2の半導体領域をそれぞれ電氣的に分離するので、第1の開孔を第1の半導体領域上から素子間の分離領域の一部の領域上に亘って形成し、第2の開孔を第2の半導体領域上から素子間の分離領域の一部の領域上に亘って形成しても、配線層によって第1及び第2の半導体領域と半導体基板とが短絡するのを防止できる。これによって、チップサイズを縮小でき、第1の半導体領域の接合容量を削減して動作速度の高速化が図れる。

#### 【0030】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1は、この発明の第1の実施の形態に係る半導体装置について説明するためのもので、SOI基板上に形成されたMOS型電界効果トランジスタの断面構成図である。

【0031】図1に示す如く、SOI基板30は、P型のシリコン基板（半導体基板）1、埋め込み酸化膜（絶縁層）2及びシリコン活性層（半導体層）3-1、3-2が積層されて構成されている。上記シリコン活性層3

-1中には、N型のソース・ドレイン拡散層（第1の半導体領域）10、10が形成され、これら拡散層10、10間のチャンネル領域上には、ゲート絶縁膜8-1を介してゲート電極9-1が設けられてNMOSトランジスタが構成されている。同様に、上記シリコン活性層3-2中には、P型のソース・ドレイン拡散層（第1の半導体領域）11、11が形成され、これら拡散層11、11間のチャンネル領域上には、ゲート絶縁膜8-2を介してゲート電極9-2が設けられることにより、PMOSトランジスタが構成されている。これらシリコン活性層3-1、3-2間の上記埋め込み酸化膜2上には、素子分離用の酸化膜（第1の絶縁膜）7が設けられている。この酸化膜7上及び上記シリコン活性層3-1、3-2上の全面には、層間絶縁膜（第2の絶縁膜）12が形成されており、この層間絶縁膜12の上記PMOSトランジスタとNMOSトランジスタのソース・ドレイン拡散層（第1の半導体領域）10、10、11、11上に対応する位置にそれぞれ、シリコン基板1に達する深さのコンタクト孔（開孔）13-1、13-1、13-2、13-2が形成される。これらコンタクト孔13-1、13-1、13-2、13-2はそれぞれ、チップサイズの縮小と拡散層容量の削減の観点から、ソース・ドレイン拡散層10、10、11、11の端部から隣接する素子分離用の酸化膜7上に亘って形成されている。上記コンタクト孔13-1、13-1内にはソース・ドレイン拡散層10、10とシリコン基板1の表面が露出され、上記コンタクト孔13-2、13-2内にはソース・ドレイン拡散層11、11とシリコン基板1の表面が露出される。上記コンタクト孔13-1、13-1内及びこれらコンタクト孔13-1、13-1の開口部近傍の層間絶縁膜12上にはNMOSトランジスタのソース・ドレイン電極となる金属配線層14-1、14-1が形成され、上記コンタクト孔13-2、13-2内及びこれらコンタクト孔13-2、13-2の開口部近傍の層間絶縁膜12上にはPMOSトランジスタのソース・ドレイン電極となる金属配線層14-2、14-2が形成される。

【0032】更に、上記コンタクト孔13-1、13-1内に露出されたシリコン基板1の表面領域には、N<sup>+</sup>型の不純物拡散層（第2の半導体領域）15、15が形成されている。この不純物拡散層15、15とシリコン基板1とによってPN接合が形成され、シリコン基板1とソース・ドレイン拡散層10、10とが金属配線層14-1、14-1を介して短絡するのを防止している。同様に、上記コンタクト孔13-2、13-2内に露出されたシリコン基板1の表面領域には、N<sup>+</sup>型の不純物拡散層16、16が形成され、これら不純物拡散層16、16内にP<sup>+</sup>型の不純物拡散層17、17が形成されている。これら不純物拡散層（第2の半導体領域）16、16と17、17とによってそれぞれPN接合が形

成され、シリコン基板1とソース・ドレイン拡散層11、11とが金属配線層14-2、14-2を介して短絡するのを防止している。

【0033】上記のような構成によれば、コンタクト孔13-1、13-1、13-2、13-2下のシリコン基板1の表面領域に形成したPN接合によってシリコン基板1とソース・ドレイン拡散層10、10、11、11をそれぞれ電氣的に分離するので、コンタクト孔13-1、13-1をソース・ドレイン拡散層10、10上から素子分離用の絶縁膜7の一部の領域上に亘って形成し、且つコンタクト孔13-2、13-2をソース・ドレイン拡散層11、11上から素子分離用の絶縁膜7の一部の領域上に亘って形成しても、金属配線層14-1、14-1、14-2、14-2を介してソース・ドレイン拡散層10、10、11、11とシリコン基板1とが短絡するのを防止できる。これによって、チップサイズを縮小でき、ソース・ドレイン拡散層の接合容量を削減して動作速度の高速化が図れる。

【0034】次に、図2乃至図14を用いて上記図1に示したMOS型電界効果トランジスタの製造方法を順次説明する。まず、図2に示すように、P型のシリコン基板1、厚さ1500オングストローム程度の埋め込み酸化膜2、厚さ1500オングストローム程度のシリコン活性層3を備えたSOI基板30上に、熱酸化により厚さ200オングストローム程度の酸化膜4を形成した後、更にLPCVD法により厚さ3500オングストロームのポリシリコン層5、及び厚さ3000オングストローム程度の酸化膜6をそれぞれ堆積形成する。

【0035】次に、図3に示すように、リソグラフィによりレジストパターン20を形成し、このレジストパターン20をマスクにしてRIEを行い、素子分離領域を形成すべき領域の酸化膜6とポリシリコン層5を選択的に除去する。

【0036】更に、上記レジストパターン20を剥離した後、図4に示すように酸化膜6をマスクにして酸化膜4及びシリコン活性層3をRIE法で選択的に除去する。これによって、NMOSTランジスタとPMOSTランジスタを形成するための半導体層3-1、3-2が形成される。

【0037】引き続き、図5に示すように、LPCVD法を用いて、全面に厚さ2000オングストローム程度の酸化膜7を堆積形成する。その後、RIEによるエッチバックまたはCMP法を用いて、ポリシリコン層5をストップとした平坦化を行い、素子領域上のポリシリコン層5を露出させる。その後、CDE処理を行ってポリシリコン層5を完全に除去し、図6に示すように素子領域上の酸化膜4を露出させる。

【0038】続いて、図7に示すように、リソグラフィによりPMOSTランジスタの形成予定領域上を覆うようにレジストパターン21を形成し、NMOSTランジ

スタの形成予定領域にP型不純物をイオン注入してチャネル領域を形成する。

【0039】同様に、図8に示すように、リソグラフィによりNMOSTランジスタの形成予定領域上を覆うようにレジストパターン22を形成し、PMOSTランジスタの形成予定領域にN型不純物をイオン注入してチャネル領域を形成する。

【0040】次に、HF系のウェットエッチングを用いて、表面の酸化膜4を剥離した後、熱酸化によりシリコン活性層3-1、3-2の表面に厚さ100オングストローム程度のゲート酸化膜8-1、8-2を形成する。更に、上記酸化膜7上及び上記ゲート酸化膜8-1、8-2上に、N型不純物がドーブされた厚さ2500オングストローム程度のポリシリコンを堆積した後、リソグラフィを用いたRIEによりパターニングを行い、ゲート電極9-1、9-2を形成すると図9に示すようになる。

【0041】次に、リソグラフィを用いてPMOSTランジスタの形成予定領域をマスクしてN型不純物をイオン注入することにより、NMOSTランジスタのソース・ドレイン拡散層10、10を形成し、リソグラフィを用いてPMOSTランジスタの形成予定領域をマスクしてN型不純物をイオン注入することにより、PMOSTランジスタのソース・ドレイン拡散層11、11を形成すると図10に示すような構成が得られる。

【0042】続いて、図11に示すように、層間絶縁膜12としてLPCVD法で全面に酸化膜を5000オングストロームの厚さに堆積させた後、上記NMOSTランジスタ及びPMOSTランジスタのソース・ドレイン拡散層10、10、11、11上にRIEによってシリコン基板1に達する深さのコンタクト孔13-1、13-1、13-2、13-2をそれぞれ開口する。この際、コンタクト孔13-1、13-1、13-2、13-2はそれぞれ、ソース・ドレイン拡散層10、10、11、11の端部から隣接する素子分離用の酸化膜7の一部の領域上に亘って開口する。

【0043】次に、図12に示すように、リソグラフィによりPMOSTランジスタの形成領域上を覆うレジストパターン23を形成し、このレジストパターン23をマスクとして用いて、コンタクト孔13-1、13-1内にのみ、P、As等のN型不純物をイオン注入し、コンタクト孔内に露出されたシリコン基板1の表面領域にN<sup>+</sup>型の不純物拡散層15、15を形成する。

【0044】続いて、図13に示すように、リソグラフィによりNMOSTランジスタの形成領域上を覆うレジストパターン24を形成し、このレジストパターン24をマスクとして用いて、コンタクト孔13-2、13-2内にP、As等のN型不純物をイオン注入した後、引き続きB、BF<sub>2</sub>等のP型不純物をイオン注入する。これによって、コンタクト孔13-2、13-2内に露出



されたシリコン基板1の表面領域に、N<sup>+</sup>型の不純物拡散層16、16とP<sup>+</sup>型の不純物拡散層17、17が形成される。ここで、不純物拡散層17、17は、不純物拡散層16、16内に形成されるようにイオン注入の条件、例えば加速電圧やドーズ量等を設定する。

【0045】その後、図14に示すように、ソース・ドレイン電極としてA1、W等の金属配線層14-1、14-1、14-2、14-2を形成してPチャネル型及びNチャネル型のMOS型電界効果トランジスタを完成させる。

【0046】上記のような製造方法によれば、コンタクト孔13-1、13-1、13-2、13-2の開口後に、これらコンタクト孔内に不純物をイオン注入してPN接合を形成すれば良いので、製造工程の複雑化を招くことなくコンタクト孔13-1、13-1、13-2、13-2をソース・ドレイン拡散層10、10、11、11の端部から素子分離用の酸化膜7上に亘って形成できるので、チップサイズを縮小し、ソース・ドレイン拡散層の接合容量を削減して動作速度の高速化が図れる。

【0047】次に、この発明の第2の実施の形態に係る半導体装置及びその製造方法について図15乃至図18を参照して説明する。図15乃至図18はそれぞれ、MOS型電界効果トランジスタの製造工程の一部を示している。

【0048】まず、前述した第1の実施の形態で説明した図2乃至図8の製造工程により、SOI基板上に図15に示されているような素子分離構造を形成する。次に、HF系のウェットエッチングを用いて表面の酸化膜4を剥離し、図16に示すように、熱酸化によりシリコン活性層3-1、3-2の表面に厚さ1000オングストローム程度のゲート酸化膜8-1、8-2を形成する。更にN型の不純物がドーパされた厚さ2500オングストローム程度のポリシリコン及び厚さ1000オングストローム程度の窒化膜18を堆積形成した後、リソグラフィによりパターニングを行い、ゲート電極9-1、9-2を形成する。

【0049】次に、全面に窒化膜を500オングストローム程度の厚さに堆積させた後、RIEを用いてエッチバックし、図17に示すようにゲート電極9-1、9-2の側壁にスペーサ19、19を形成する。

【0050】続いて、層間絶縁膜12として全面に酸化膜を5000オングストロームの厚さに堆積させ、リソグラフィとRIE法により、ソースまたはドレイン電極取り出しのためのコンタクト孔13-1、13-2を開く。この時、上述した第1の実施の形態よりも更に素子サイズを縮小させるために、コンタクト孔13-1、13-2は、ゲート電極9-1、9-2上からソース・ドレイン拡散層上を越え、隣接する素子分離用の酸化膜7上に亘って形成する。これらコンタクト孔13-1、13-2を開くためのRIEでは、ゲート電極

9-1、9-2を覆う窒化膜18、19に対して十分に選択比の取れる条件を採用する。

【0051】その後は、前記第1の実施の形態における図12乃至図14に記述された製造方法を用いて素子を完成させる。上記第2の実施の形態によれば、コンタクト孔13-1、13-2をゲート電極9-1、9-2上にまで形成できるので、第1の実施の形態より更に素子サイズを縮小でき、拡散層容量も低減できる。

【0052】なお、上記第1、第2の実施の形態では半導体装置としてMOS型電界効果トランジスタを例にとって説明したが、同様にしてMOS型キャパシタ等の他の半導体素子とその製造方法にも適用可能なのは勿論である。

【0053】

【発明の効果】以上説明したように、この発明によれば、SOI基板を用いた半導体装置において、半導体基板と、この基板と同じ導電型の拡散層との短絡を招くことなくチップサイズを縮小でき、且つ拡散層の接合容量の低減による動作速度の高速化が図れる半導体装置及びその製造方法が得られる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態に係る半導体装置について説明するためのもので、SOI基板上に形成されたMOS型電界効果トランジスタの断面図。

【図2】この発明の第1の実施の形態に係る半導体装置の製造方法について説明するためのもので、図1に示したMOS型電界効果トランジスタの第1の製造工程を示す断面図。

【図3】この発明の第1の実施の形態に係る半導体装置の製造方法について説明するためのもので、図1に示したMOS型電界効果トランジスタの第2の製造工程を示す断面図。

【図4】この発明の第1の実施の形態に係る半導体装置の製造方法について説明するためのもので、図1に示したMOS型電界効果トランジスタの第3の製造工程を示す断面図。

【図5】この発明の第1の実施の形態に係る半導体装置の製造方法について説明するためのもので、図1に示したMOS型電界効果トランジスタの第4の製造工程を示す断面図。

【図6】この発明の第1の実施の形態に係る半導体装置の製造方法について説明するためのもので、図1に示したMOS型電界効果トランジスタの第5の製造工程を示す断面図。

【図7】この発明の第1の実施の形態に係る半導体装置の製造方法について説明するためのもので、図1に示したMOS型電界効果トランジスタの第6の製造工程を示す断面図。

【図8】この発明の第1の実施の形態に係る半導体装置の製造方法について説明するためのもので、図1に示し

たMOS型電界効果トランジスタの第7の製造工程を示す断面図。

【図9】この発明の第1の実施の形態に係る半導体装置の製造方法について説明するためのもので、図1に示したMOS型電界効果トランジスタの第8の製造工程を示す断面図。

【図10】この発明の第1の実施の形態に係る半導体装置の製造方法について説明するためのもので、図1に示したMOS型電界効果トランジスタの第9の製造工程を示す断面図。

【図11】この発明の第1の実施の形態に係る半導体装置の製造方法について説明するためのもので、図1に示したMOS型電界効果トランジスタの第10の製造工程を示す断面図。

【図12】この発明の第1の実施の形態に係る半導体装置の製造方法について説明するためのもので、図1に示したMOS型電界効果トランジスタの第11の製造工程を示す断面図。

【図13】この発明の第1の実施の形態に係る半導体装置の製造方法について説明するためのもので、図1に示したMOS型電界効果トランジスタの第12の製造工程を示す断面図。

【図14】この発明の第1の実施の形態に係る半導体装置の製造方法について説明するためのもので、図1に示したMOS型電界効果トランジスタの第13の製造工程を示す断面図。

【図15】この発明の第2の実施の形態に係る半導体装置の製造方法について説明するためのもので、MOS型電界効果トランジスタの製造工程の一部を示しており、第1の製造工程を示す断面図。

【図16】この発明の第2の実施の形態に係る半導体装置の製造方法について説明するためのもので、MOS型電界効果トランジスタの製造工程の一部を示しており、第2の製造工程を示す断面図。

【図17】この発明の第2の実施の形態に係る半導体装置の製造方法について説明するためのもので、MOS型電界効果トランジスタの製造工程の一部を示しており、第3の製造工程を示す断面図。

【図18】この発明の第2の実施の形態に係る半導体装置の製造方法について説明するためのもので、MOS型電界効果トランジスタの製造工程の一部を示しており、第4の製造工程を示す断面図。

【図19】従来の半導体装置及びその製造方法について説明するためのもので、SOI基板上にMOS型電界効果トランジスタを形成する第1の工程を示す断面図。

【図20】従来の半導体装置及びその製造方法について説明するためのもので、SOI基板上にMOS型電界効果トランジスタを形成する第2の工程を示す断面図。

【図21】従来の半導体装置及びその製造方法について説明するためのもので、SOI基板上にMOS型電界効果トランジスタを形成する第3の工程を示す断面図。

【図22】従来の半導体装置及びその製造方法について説明するためのもので、SOI基板上にMOS型電界効果トランジスタを形成する第4の工程を示す断面図。

【図23】従来の半導体装置及びその製造方法について説明するためのもので、SOI基板上にMOS型電界効果トランジスタを形成する第5の工程を示す断面図。

【図24】従来の半導体装置及びその製造方法について説明するためのもので、SOI基板上にMOS型電界効果トランジスタを形成する第6の工程を示す断面図。

【図25】従来の半導体装置及びその製造方法について説明するためのもので、SOI基板上にMOS型電界効果トランジスタを形成する第7の工程を示す断面図。

【図26】従来の半導体装置及びその製造方法について説明するためのもので、SOI基板上にMOS型電界効果トランジスタを形成する第8の工程を示す断面図。

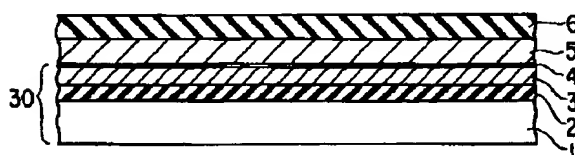
【図27】従来の半導体装置及びその製造方法について説明するためのもので、SOI基板上にMOS型電界効果トランジスタを形成する第9の工程を示す断面図。

【図28】従来の半導体装置及びその製造方法について説明するためのもので、SOI基板上にMOS型電界効果トランジスタを形成する第10の工程を示す断面図。

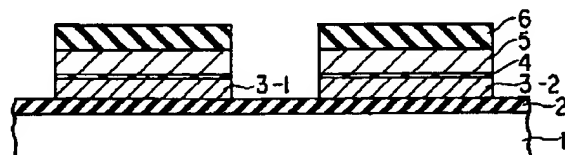
#### 【符号の説明】

1…シリコン基板、2…埋め込み酸化膜、3-1、3-2…シリコン活性層、4…酸化膜、5…ポリシリコン層、6…酸化膜、7…酸化膜、8-1、8-2…ゲート酸化膜、9-1、9-2…ゲート電極、10、11…ソース・ドレイン拡散層、12…層間絶縁膜、13-1、13-2…コンタクト孔、14-1、14-2…金属配線層、15…N<sup>+</sup>型不純物拡散層、16…N<sup>+</sup>型不純物拡散層、17…P<sup>+</sup>型不純物拡散層、18…窒化膜、19…スペーサ（窒化膜）、20、21、22、23、24…レジストパターン、30…SOI基板。

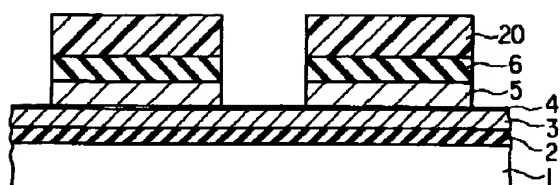
【図2】



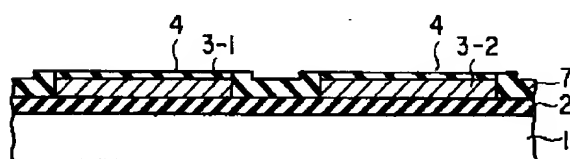
【図4】



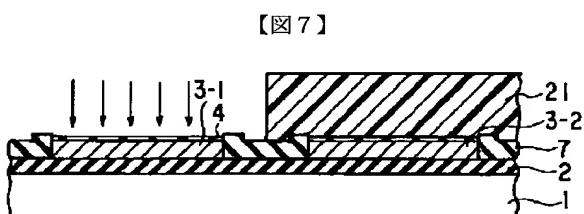
【図 3】



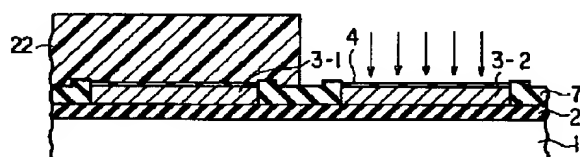
【図 6】



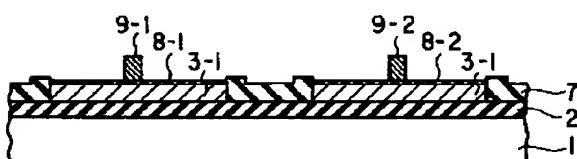
【図 8】



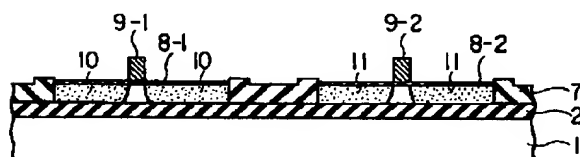
【图 9】



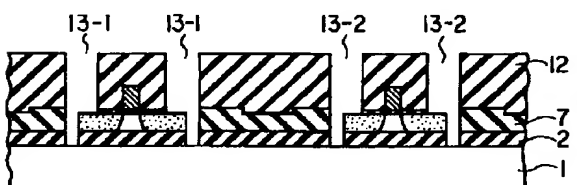
【图 10】



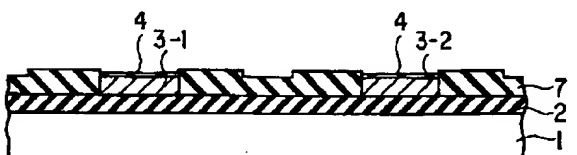
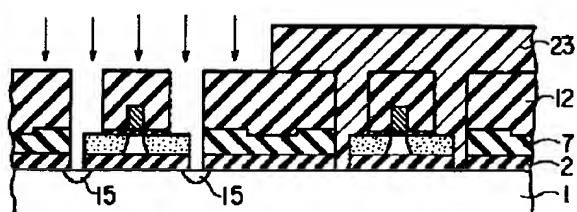
【图 1-1】



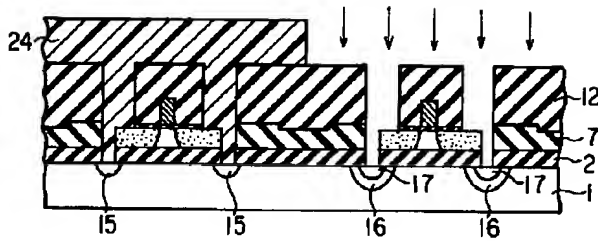
【图 1 2】



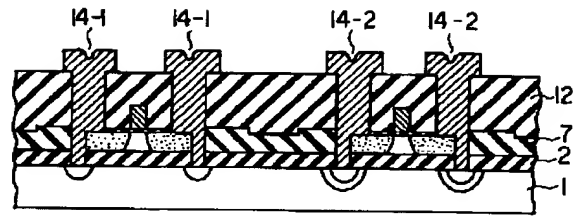
【図 15】



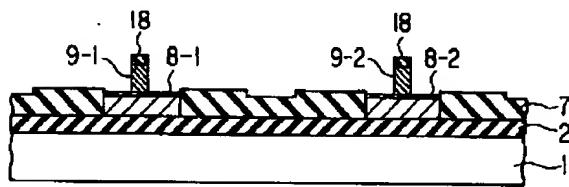
【図 13】



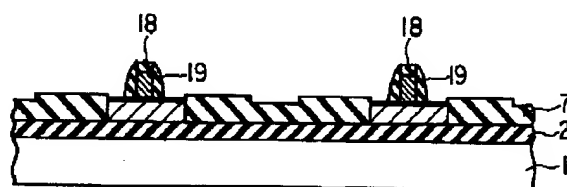
【図 14】



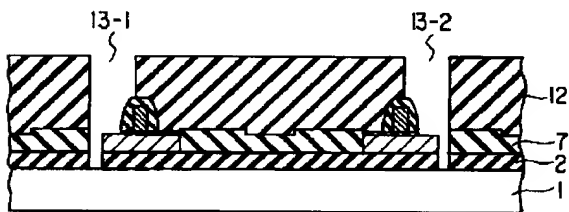
【図 16】



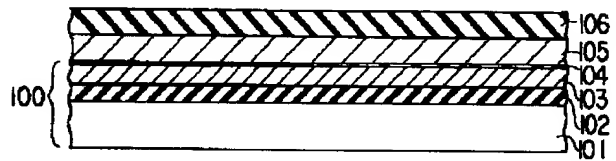
【図 17】



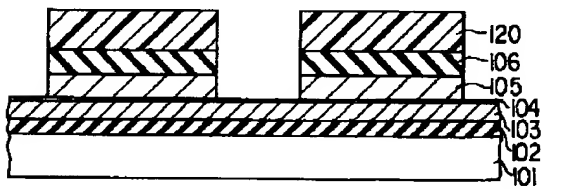
【図 18】



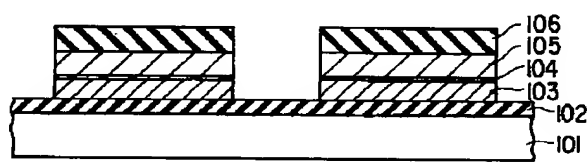
【図 19】



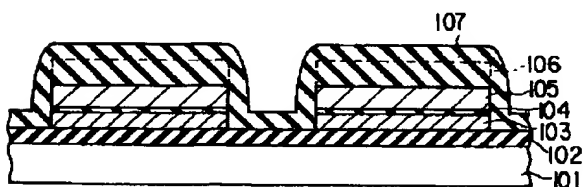
【図 20】



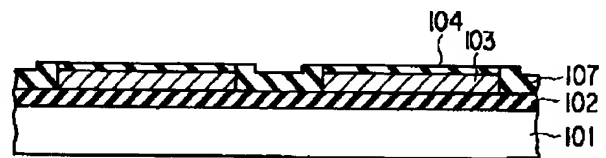
【図 21】



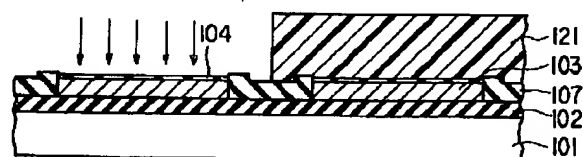
【図 22】



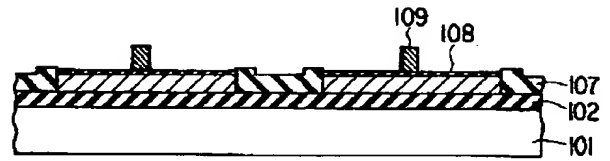
【図 23】



【図 24】



【図 26】



【図 28】

